

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-064182

(43)Date of publication of application : 07.03.1997

(51)Int.Cl.

H01L 21/768  
H01L 21/3205

(21)Application number : 07-217956

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.08.1995

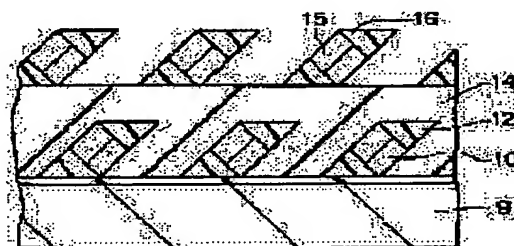
(72)Inventor : AOYAMA JINKO  
KUNITOMO HISAAKI  
TSUNENO KATSUMI  
NAKAMURA TAKAHIDE  
SATO HISAKO  
MASUDA HIROO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor integrated circuit device having a small wiring capacity and high performance and an easy manufacture thereof.

SOLUTION: Sectional shapes of wiring layers 10 being adjacent with an insulating film 14 interlaid are made parallelograms, ellipses or the like and thereby the sides of the wiring layers 10 are made broken lines or curves. By enlarging a separation distance at each point on the sides of the adjacent wiring layers 10, a wiring capacity between the adjacent wiring layers 10 is made small.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64182

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	V
21/3205			21/88	B

審査請求 未請求 請求項の数9 O L (全 8 頁)

(21) 出願番号 特願平7-217956

(22) 出願日 平成7年(1995)8月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 青山 仁子

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 国友 久彰

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 常野 克己

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

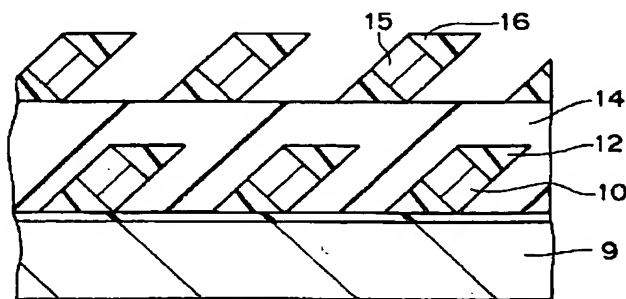
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 配線容量の小さい高性能の半導体集積回路装置と、それを容易に製造できる製造技術を提供する。

【構成】 絶縁膜14を介在して隣接する配線層10の断面形状を平行四辺形または楕円などとするることにより、その配線層10の側面を折れ線または曲線とするものであり、隣接する配線層10の側面の各点における離間距離を大きくして隣接する配線層10間の配線容量を小さいものとしている。

図 8



10 : 配線層  
14 : 絶縁膜

**【特許請求の範囲】**

【請求項 1】 絶縁膜を介在して隣接する第 1 の配線層と第 2 の配線層とを有し、前記第 1 の配線層の側面およびその側面に対応している前記第 2 の配線層の側面は、折れ線または曲線となっていることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記第 1 の配線層と前記第 2 の配線層とは、同一の平面上に一定の離間距離をもって配置されていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置において、前記第 1 の配線層と前記第 2 の配線層とは、下層配線層と上層配線層として配置されていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1、2 または 3 記載の半導体集積回路装置において、前記第 1 の配線層または前記第 2 の配線層の断面形状は、三角形または平行四辺形であることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1、2 または 3 記載の半導体集積回路装置において、前記第 1 の配線層または前記第 2 の配線層の断面形状は、楕円であることを特徴とする半導体集積回路装置。

【請求項 6】 半導体領域に複数の半導体素子を形成する工程と、  
前記半導体領域の上に絶縁膜を形成した後、配線層を形成する工程と、  
エッチング法を使用して、前記配線層の選択的な領域を取り除き、前記配線層の側面が折れ線または曲線となっているパターンを複数個形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 半導体領域に複数の半導体素子を形成する工程と、  
前記半導体領域の上に絶縁膜を形成した後、配線層を形成する工程と、  
前記配線層の表面の選択的な領域にフォトリソ膜を形成した後、前記フォトリソ膜をマスクとして使用して方向性のあるエッチングを行い、前記配線層の選択的な領域を取り除いて、傾斜している側面を有するパターンを複数個形成する工程と、  
隣接する前記配線層の間に絶縁膜を埋め込んだ後、前記配線層または前記絶縁膜の表面の選択的な領域にフォトリソ膜を形成し、前記フォトリソ膜をマスクとして使用して方向性のあるエッチングを行い、前記配線層の選択的な領域を取り除いて、前工程により形成した前記配線層の傾斜した側面とは異なる方向に傾斜している側面を有する前記配線層のパターンを複数個形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 6 または 7 記載の半導体集積回路装置の製造方法において、前記配線層の断面形状を三角

形または平行四辺形として形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 請求項 6 記載の半導体集積回路装置の製造方法において、前記配線層の断面形状を楕円として形成することを特徴とする半導体集積回路装置の製造方法。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、配線容量を小さくして高性能化を行っている半導体集積回路装置に適用して有効な技術に関する。

**【0002】**

【従来の技術】半導体集積回路装置は、高集積化しつつあり、それに適応すべく微細加工技術の採用にともない、配線間が狭くなっていることにより、配線間の配線容量が回路動作に及ぼす影響が増加している。

【0003】なお、半導体集積回路装置における配線層の形成技術について記載されている文献としては、例えば（株）プレスジャーナル、平成元年 11 月 2 日発行、「'90 最新半導体プロセス技術」p 267～p 287 に記載されているものがある。

**【0004】**

【発明が解決しようとする課題】通常、配線層の断面形状は長方形であることにより、配線層の側面が隣接している配線層の側面と平行になっていると共に上下の配線層の側面も平行となっているので、配線層間の配線容量が増加し、配線層間の配線容量が回路動作に及ぼす影響が増加しているという問題点がある。

【0005】本発明の目的は、配線容量の小さい高性能の半導体集積回路装置を提供することにある。

【0006】本発明の他の目的は、配線容量の小さい高性能な半導体集積回路装置を容易に製作できる製造技術を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0008】**

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を説明すれば、以下のとおりである。

【0009】本発明の半導体集積回路装置は、絶縁膜を介在して隣接する第 1 の配線層と第 2 の配線層とを有し、第 1 の配線層の側面およびその側面に対応している第 2 の配線層の側面は、折れ線または曲線となっているものである。

**【0010】**

【作用】前記した本発明の半導体集積回路装置によれば、絶縁膜を介在して隣接する第 1 の配線層の側面およびその側面に対応している第 2 の配線層の側面は、折れ

線または曲線となっているものであることにより、隣接する配線層の側面の各点における離間距離が大ききできるので、隣接する配線層間の配線容量を小さくすることができる。

【0011】すなわち、隣接する配線層の断面形状を例えば平行四辺形または楕円とすることにより、従来の長方形の断面形状を有する配線層に比較して、同ピッチでしかも断面積が同一であることによる同一抵抗の配線層の場合において、隣接する配線層の側面の各点における離間距離が大ききできるので、隣接する配線層間の配線容量は隣接する配線層の側面の各点における離間距離の総和に反比例することにより、配線容量を小さくすることができる。

【0012】その結果、配線層における時定数（＝配線容量×抵抗）が小さくできることにより、高速動作ができると共に回路遅延を小さくできるので、高性能な半導体集積回路装置とすることができる。

【0013】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。なお、実施例を説明するための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0014】（実施例1）図1～図8は、本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。同図を用いて、本発明の半導体集積回路装置およびその具体的な製造方法について説明する。

【0015】まず、図1に示すように、例えばp型のシリコン単結晶からなる半導体基板1の表面の選択的な領域である素子分離領域に熱酸化処理を用いて酸化シリコン膜からなるフィールド絶縁膜2を形成する。なお、図示を省略しているがフィールド絶縁膜2の下に反転防止用のチャンネルストッパー膜を形成している。

【0016】次に、図2に示すように、フィールド絶縁膜2によって囲まれた活性領域に酸化シリコンからなるゲート絶縁膜3を形成し、このゲート絶縁膜3の上に多結晶シリコンからなるゲート電極4を形成する。ゲート電極4は、半導体基板1の上に多結晶シリコン膜および酸化シリコン膜からなる絶縁膜5を順次堆積し、これらを順次エッチングして形成する。その後、ゲート電極4の側壁に酸化シリコン膜からなるサイドウォール絶縁膜6を形成する。

【0017】次に、半導体基板1にリン（P）などのn型の不純物をイオン注入してソースおよびドレインとなるn型の半導体領域7を形成する。

【0018】次に、図3に示すように、半導体基板1の上に絶縁膜8を形成する。絶縁膜8は、例えばCVD（Chemical Vapor Deposition）法により形成した酸化シリコン膜などを使用することができる。

【0019】前述した半導体集積回路装置の製造工程は、半導体基板1にnチャネルMOSFETを形成した

形態であるが、半導体基板1にpチャネルMOSFET、CMOSFET、バイポーラトランジスタ、容量素子などの種々の半導体素子を形成した態様を採用することができる。

【0020】また、半導体基板1とは別の基板であるSOI（Silicon on Insulator）構造の絶縁性領域の上にシリコンの単結晶薄膜が形成されているSOI基板を用いることができる。

【0021】以下、前述した製造工程によって形成した半導体基板1をスターティングマテリアルとしてnチャネルMOSFETを形成したものを基体9として包括的に図示し、内部構造を有する基体9における内部構造を省略すると共に図示上の寸法を縮小して示すことにする。

【0022】次に、図4に示すように、基体9の表面に1層目の配線層10を形成する。

【0023】1層目の配線層10は、例えばアルミニウム層をスパッタリング法により形成する。この配線層10の材料としては、多結晶シリコン層または多結晶シリコン層と高融点シリサイド層を積層化したものなどの導電性のあるものを組み合わせたものを使用することができる。

【0024】なお、配線層10は、図示を省略している領域に、絶縁膜8に設けられているスルーホールを通してn型の半導体領域7と電気接続される配線層などを含んでいる。

【0025】次に、図5に示すように、配線層10の表面にフォトレジスト膜11を形成した後、フォトリソグラフィ技術を使用して、配線層10の表面の選択的な領域にパターン化したフォトレジスト膜11を形成する。

【0026】次に、フォトレジスト膜11をマスクとして使用して、選択エッチング法により方向性のあるエッチングを行って配線層10の選択的な領域を取り除く。

【0027】次に、図6に示すように、不要となったフォトレジスト膜11を取り除いた後、例えば回転塗布法によりSOG（Spin On Glass）膜などの絶縁膜12を半導体基板1の上に形成することにより、隣接する配線層10間に絶縁膜12を埋め込む作業を行う。

【0028】この場合、厚膜のSOG膜などの絶縁膜12を形成した後、絶縁膜12の表面をエッチバック法または化学的機械研磨（CMP）法によって平坦にする態様を採用することもできる。

【0029】次に、配線層10および絶縁膜12の表面にフォトレジスト膜13を形成した後、フォトリソグラフィ技術を使用して、配線層10および絶縁膜12の表面の選択的な領域にパターン化したフォトレジスト膜13を形成する。

【0030】次に、図7に示すように、フォトレジスト膜13をマスクとして使用して、選択エッチング法により方向性のあるエッチングを行って配線層10および絶

縁膜12の選択的な領域を取り除く。

【0031】なお、前述した製造工程は、絶縁膜12を形成した後、フォトリソ膜13をマスクとして使用して、選択エッチング法により方向性のあるエッチングを行って配線層10および絶縁膜12の選択的な領域を取り除く態様を採用しているが、方向性のあるエッチング技術を駆使することにより、絶縁膜12およびエッチング用マスクとしてのフォトリソ膜13を形成することなく、配線層10の選択的な領域を取り除く態様とすることもできる。

【0032】前述した製造工程により、配線層10の断面形状は、平行四辺形とすることができる。その結果、後述する理由により、隣接する配線層10間の配線容量を小さくできる。

【0033】次に、図8に示すように、不要となったフォトリソ膜13を取り除いた後、例えば回転塗布法によりSOG膜などの絶縁膜14を基体9の上に形成することにより、隣接する配線層10間に絶縁膜14を埋め込むと共に層間絶縁膜としての絶縁膜14を形成する作業を行う。

【0034】この場合、厚膜のSOG膜などの絶縁膜14を形成した後、絶縁膜14の表面をエッチバック法または化学的機械研磨法によって平坦にする態様を採用することもできる。

【0035】また、絶縁膜14の他の態様としては、CVD法により形成する酸化シリコン膜、PSG (Phospho Silicate Glass) 膜またはBPSG (Boro Phospho Silicate Glass) 膜あるいはそれらの積層膜とすることができる。

【0036】次に、絶縁膜14の表面に2層目の配線層15を形成する。

【0037】2層目の配線層15は、例えばアルミニウム層をスパッタリング法により形成する。この配線層15の材料としては、多結晶シリコン層または多結晶シリコン層と高融点シリサイド層を積層化したものなどの電気導電性のあるものを組み合わせたものを使用することができる。

【0038】次に、前述した1層目の配線層10の製造工程と同様な製造工程を採用して断面形状が平行四辺形の2層目の配線層15を形成する。

【0039】この場合、上層配線層である配線層15のパターンを形成する際に、下層配線層である配線層10の配置されている領域上を避けて例えば隣接する配線層10の間の中心部上の位置に上層配線層である配線層15を配置する態様を採用することにより、配線層10と配線層15との離間距離を大きくすることができるので、それらの配線容量を小さくすることができる。

【0040】なお、図8において、16は絶縁膜であり、2層目の配線層15のパターンを形成する際に形成したものである。

【0041】前述した製造工程により、配線層15の断面形状は、平行四辺形とすることができる。その結果、後述する理由により、隣接する配線層15間の配線容量を小さくできると共に上層配線層である配線層15と下層配線層である配線層10との間の配線容量を小さくすることができる。

【0042】次に、必要に応じて前述した配線層および絶縁膜の製造工程を繰り返し行って多層配線層を形成した後、例えば窒素シリコン膜などの表面保護膜（図示を省略）を形成することにより、半導体集積回路装置の製造工程を終了する。

【0043】前述した本実施例の半導体集積回路装置によれば、絶縁膜14を介在して隣接する配線層10の側面は、配線層10の断面形状が平行四辺形でありその配線層10の側面が折れ線となっているものであることにより、隣接する配線層10の側面の各点における離間距離が従来の長方形の断面形状を有する配線層に比較して、同ピッチでしかも断面積が同一であることによる同一抵抗の配線層の場合において、隣接する配線層10の側面の各点における離間距離が大きくできるので、隣接する配線層10間の配線容量は隣接する配線層10の側面の各点における離間距離の総和に反比例することにより、配線容量を小さくすることができる。

【0044】その結果、配線層10における時定数（＝配線容量×抵抗）が小さくできることにより、高速動作ができると共に回路遅延を小さくできるので、高性能な半導体集積回路装置とすることができる。

【0045】また、前述した本実施例の半導体集積回路装置によれば、1層目の配線層10および2層目の配線層15の側面は、それらの配線層の断面形状が平行四辺形でありそれらの配線層の側面が折れ線となっているものであることにより、下層配線層である配線層10の側面および上層配線層である配線層15の各点における離間距離が従来の長方形の断面形状を有する配線層に比較して、配線間距離が同一でしかも断面積が同一であることによる同一抵抗の配線層の場合において、隣接する配線層15の側面の各点における離間距離が大きくできるので、配線容量を小さくすることができる。

【0046】その結果、下層配線層である配線層10および上層配線層である配線層15における時定数が小さくできることにより、高速動作ができると共に回路遅延を小さくできるので、高性能な半導体集積回路装置とすることができる。

【0047】また、前述した本実施例の半導体集積回路装置によれば、1層目の配線層10および2層目の配線層15の側面は、それらの配線層の断面形状が平行四辺形でありそれらの配線層の側面が折れ線となっているものであることにより、半導体素子が形成されている基体9との間の離間距離が従来の長方形の断面形状を有する配線層と基体9との離間距離に比較して、配線間距離が

同一でしかも断面積が同一であることによる同一抵抗の配線層の場合において、離間距離が大きくできるので、配線容量を小さくすることができる。

【0048】また、前述した本実施例の半導体集積回路装置の製造技術によれば、配線層10の断面形状を平行四辺形として形成する工程により、隣接する配線層10の側面の各点における離間距離が従来の長方形の断面形状を有する配線層に比較して、同ピッチでしかも断面積が同一であることによる同一抵抗の配線層の場合において、配線容量を小さくすることができるので、容易な製造工程により高速動作ができると共に回路遅延を小さくできる高性能な半導体集積回路装置を製作することができる。

【0049】（実施例2）図9は、本発明の他の実施例である半導体集積回路装置を示す模式斜視図である。

【0050】本実施例の半導体集積回路装置は、半導体素子が形成されている基体9の上の下層配線層である配線層10の配線列と上層配線層である配線層15の配線列がクロスしている態様のものである。

【0051】前述した実施例1の半導体集積回路装置と同様に配線層10および配線層15の断面形状は、平行四辺形としていることにより、配線容量を小さくすることができる。

【0052】その結果、各配線層における時定数が小さくできることにより、高速動作ができると共に回路遅延を小さくできるので、高性能な半導体集積回路装置とすることができる。

【0053】（実施例3）図10は、本発明の他の実施例である半導体集積回路装置を示す模式断面図である。

【0054】本実施例の半導体集積回路装置は、下層配線層である配線層10と上層配線層である配線層15の断面形状を楕円として配線層10および配線層15の側面を曲線としているものである。

【0055】配線層10および配線層15の断面形状を楕円として形成する製造工程は、ドライエッチング法、ウェットエッチング法、方向性のあるエッチング法などの種々のエッチング法を組み合わせる配線層10および配線層15の選択的なエッチングを行うことができる。

【0056】本実施例の上層配線層である配線層15の配線列は、前述した実施例2の半導体集積回路装置と同様に下層配線層である配線層10の配線列とクロスさせた態様とすることができる。

【0057】なお、図10において、17は絶縁膜を示している。

【0058】前述した実施例1および実施例2の半導体集積回路装置と同様な理由により、配線層10および配線層15の断面形状は、楕円としていることにより、配線容量を小さくすることができる。

【0059】その結果、各配線層における時定数が小さくできることにより、高速動作ができると共に回路遅延

を小さくできるので、高性能な半導体集積回路装置とすることができる。

【0060】（実施例4）図11は、本発明の他の実施例である半導体集積回路装置を示す模式断面図である。

【0061】本実施例の半導体集積回路装置は、下層配線層である配線層10と上層配線層である配線層15の断面形状を三角形としているものである。

【0062】図12は、下層配線層である配線層10と上層配線層である配線層15の断面形状を逆三角形とした態様の半導体集積回路を示す模式断面図である。

【0063】配線層10および配線層15の断面形状を三角形として形成する製造工程は、ドライエッチング法、ウェットエッチング法、方向性のあるエッチング法などの種々のエッチング法を組み合わせる配線層10および配線層15の選択的なエッチングを行うことができる。

【0064】本実施例の上層配線層である配線層15の配線列は、前述した実施例2の半導体集積回路装置と同様に下層配線層である配線層10の配線列とクロスさせた態様とすることができる。

【0065】前述した実施例1および実施例2の半導体集積回路装置と同様な理由により、配線層10および配線層15の断面形状は、三角形としていることにより、配線容量を小さくすることができる。

【0066】その結果、各配線層における時定数が小さくできることにより、高速動作ができると共に回路遅延を小さくできるので、高性能な半導体集積回路装置とすることができる。

【0067】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0068】具体的に、前記実施例においてはMOS型の半導体集積回路装置であったが、BiCMOS、BiMOSあるいはBiCMOSさらには他の構造の半導体集積回路装置およびその製造技術に適用できる。

【0069】また、配線層の断面形状は、特定の配線層または特定の配線層の領域に折れ線または曲線の側面を有するものとすることができる。

【0070】また、隣接する配線層または下層配線層と上層配線層の断面形状は、平行四辺形などの断面形状を有する一方の配線層に対して異なる断面形状である楕円などの断面形状を有する他方の配線層とすることができる。

【0071】前述した隣接する配線層間の離間距離が大きくできることにより、配線容量を小さくできるので、高速動作ができると共に回路遅延を小さくできるために高性能な半導体集積回路装置とすることができる。

【0072】

【発明の効果】本願によって開示される発明のうち、代

表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0073】(1) 本発明の半導体集積回路装置によれば、絶縁膜を介在して隣接する第1の配線層の側面およびその側面に対応している第2の配線層の側面は、折れ線または曲線となっているものであることにより、隣接する配線層の側面の各点における離間距離が大きくなるので、隣接する配線層間の配線容量を小さくすることができる。

【0074】すなわち、隣接する配線層の断面形状を例えば平行四辺形または楕円とすることにより、従来の長方形の断面形状を有する配線層と比較して、同ピッチでしかも断面積が同一であることによる同一抵抗の配線層の場合において、隣接する配線層の側面の各点における離間距離が大きくなるので、隣接する配線層間の配線容量は隣接する配線層の側面の各点における離間距離の総和に反比例することにより、配線容量を小さくすることができる。

【0075】その結果、配線層における時定数が小さくできることにより、高速動作ができると共に回路遅延を小さくできるので、高性能な半導体集積回路装置とすることができる。

【0076】(2) 本発明の半導体集積回路装置の製造技術によれば、配線層の断面形状を平行四辺形または楕円などの折れ線または曲線となっている側面を有する配線層として形成する工程により、隣接する配線層の側面の各点における離間距離が従来の長方形の断面形状を有する配線層と比較して、同ピッチでしかも断面積が同一であることによる同抵抗の配線層の場合において、配線容量を小さくすることができるので、容易な製造工程により高速動作ができると共に回路遅延を小さくできる高性能な半導体集積回路装置を製作することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図2】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図3】本発明の一実施例である半導体集積回路装置の

製造工程を示す断面図である。

【図4】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図5】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図6】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図7】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図8】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図9】本発明の他の実施例である半導体集積回路装置を示す模式斜視図である。

【図10】本発明の他の実施例である半導体集積回路装置を示す模式断面図である。

【図11】本発明の他の実施例である半導体集積回路装置を示す模式断面図である。

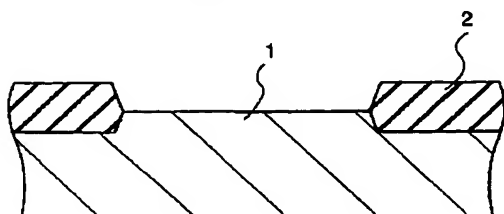
【図12】本発明の他の実施例である半導体集積回路装置を示す模式断面図である。

【符号の説明】

- 1 半導体基板
- 2 フィールド絶縁膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 絶縁膜
- 6 サイドウォール絶縁膜
- 7 半導体領域
- 8 絶縁膜
- 9 基体
- 10 配線層
- 11 フォトリソグ膜
- 12 絶縁膜
- 13 フォトリソグ膜
- 14 絶縁膜
- 15 配線層
- 16 絶縁膜
- 17 絶縁膜

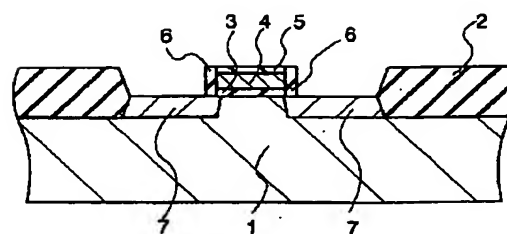
【図1】

図 1



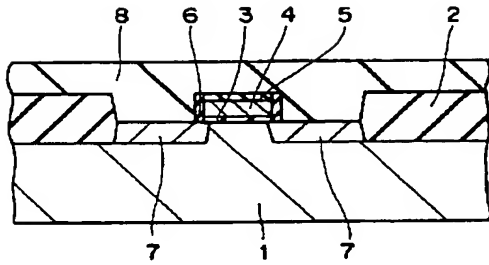
【図2】

図 2



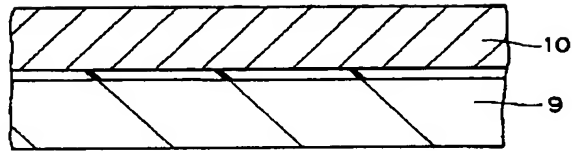
【図3】

図 3



【図4】

図 4

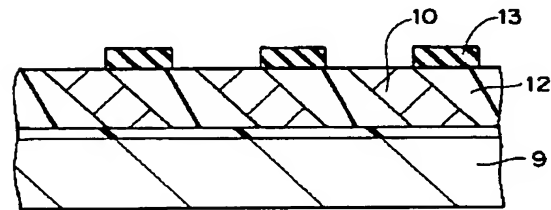
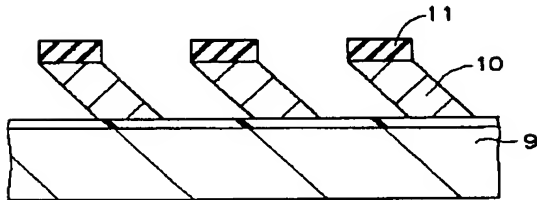


【図6】

図 6

【図5】

図 5

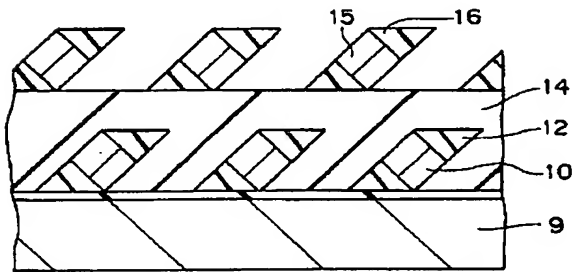
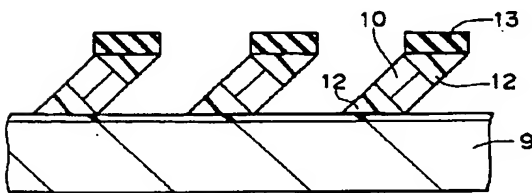


【図8】

図 8

【図7】

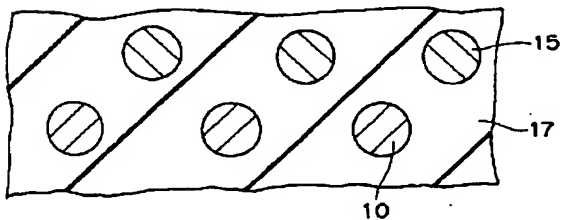
図 7



10: 配線層  
14: 絶縁膜

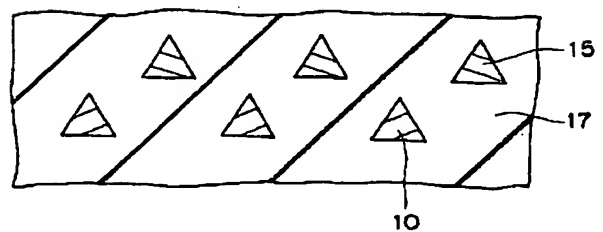
【図10】

図 10



【図11】

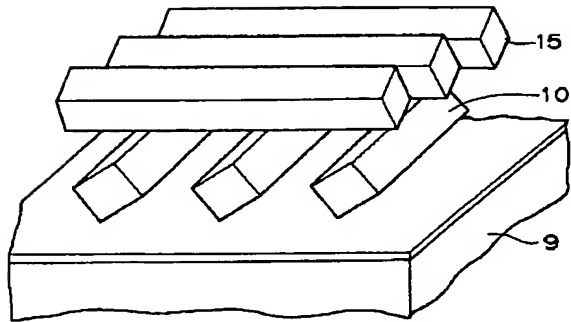
図 11





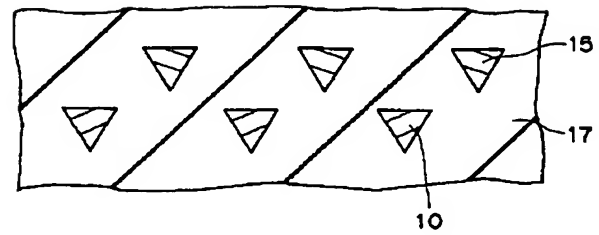
【図9】

図 9



【図12】

図 12



フロントページの続き

(72)発明者 中村 高秀  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 佐藤 久子  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 増田 弘生  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内